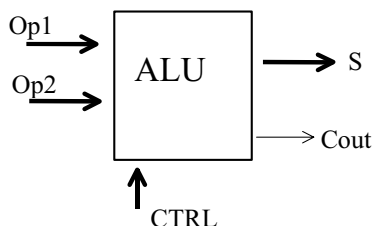
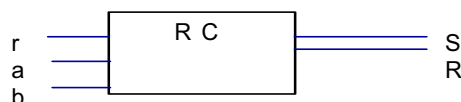


Esercizi e domande di Reti Logiche, Cap 1

1	<p>Una rete logica con ingressi a, b, c, ed uscita z definita dalla funzione f_1 tale che $z(t) = f_1(a(t), b(t), c(t))$ e' una rete logica combinatoria o sequenziale? Perché?</p> <p>Indicare le differenze tra r.l. combinatorie e sequenziali</p>
2	<p>La proprietà di decomposizione in parallelo delle r.l. afferma che una r.l. a più ingressi e più uscite può essere decomposta in tante r.l. ognuna con un ingresso ed una uscita. Indicare se tale affermazione e' vera o falsa e perché.</p>
3	<p>Cosa enuncia la proprietà di interconnessione delle r.l. Perché e' utile?</p>
4	<p>Si vuole progettare un comparatore di parole a due bit avente per ingresso X_0, X_1 e Y_0, Y_1 e tre uscite U, MA, MI, attivi alte. U e' attivo solo se le due parole di ingresso sono uguali, MA e' attivo se X e' maggiore di Y e MI e' attivo se X e' minore di Y. Usando la proprietà di decomposizione in parallelo definire le tre funzioni combinatorie per U, MA, MI mediante tabella di verità.</p> <p>Descrivere la rete complessiva con mappa di Karnaugh.</p> <p>Eseguire la sintesi canonica SP, PS e la sintesi minima.</p>
5	<p>Si vuole progettare un comparatore di parole a due bit avente per ingresso X_0, X_1 e Y_0, Y_1 e due uscite MaU, MiU, attive alte. MaU e' attivo se X e' maggiore o uguale di Y. MiU e' attivo se X e' minore o uguale di Y. Usando la proprietà di decomposizione in parallelo definire le funzioni combinatorie per MAU, MIU mediante tabella di verità.</p> <p>Descrivere la rete complessiva con mappa di Karnaugh.</p> <p>Eseguire la sintesi canonica SP, PS e la sintesi minima.</p> <p>Progettare le funzioni MAU e MIU sfruttando la proprietà di interconnessione e il risultato dell'esercizio 4</p>
6	<div style="display: flex; align-items: center;"> <div style="flex: 1;"> <p>Si vuole realizzare una ALU a due bit ($Op1, Op2$ sono parole a due bit $Op1_0, Op1_1$ etc..) che esegua la somma e la sottrazione. L'ingresso CTRL vale 1 se deve essere fatta la somma e 0 per la sottrazione in complemento a 2. Le uscite sono S a due bit e $Cout$ per l'overflow.</p> <p>Scrivere la tabella di verità</p> </div> <div style="flex: 1; text-align: center;">  </div> </div>
7	<p>Si vuole progettare un controllo di parità pari. Da una memoria viene letta una parola $D[0:3]$, e la parità $DP0$, che indica la parità pari. La rete logica deve controllare che la parità della parola D corrisponda alla parità trasferita ($DP0$) e fornire una uscita E che vale 0 se non ci sono errori, altrimenti vale 1.</p>
8	<div style="display: flex; align-items: center;"> <div style="flex: 1;"> <p>Si vuole realizzare un sommatore FULL ADDER ad un bit (ingressi a, b) con riporto di ingresso r a due bit. Le uscite sono S ad un bit e R riporto di uscita</p> <p>Scrivere la tabella di verità e la mappa di Karnaugh.</p> <p>Eseguire la sintesi canonica SP, PS e la sintesi minima.</p> </div> <div style="flex: 1; text-align: center;">  </div> </div>

Esercizi e domande di Reti Logiche, Cap 1

9	<p>Si progetti una rete logica avente tre ingressi X_0, X_1, X_2 che indicano un piano di un ascensore (avente 5 piani), Si deve progettare una uscita $GO\#$ attiva bassa che se attivo indica se si e' arrivati a fine corsa (verso l'alto o il basso). Scrivere la tabella delle verità e la mappa di Karnaugh. Eseguire la sintesi canonica SP, PS e la sintesi minima. La rete logica e' definita da una funzione non completamente specificata? Se si' di che tipo?</p>
10	<p>Quando due configurazioni sono dette adiacenti? Che legame c'e' con la distanza di Hamming?</p>
11	<p>In VHDL cosa significa dare una descrizione comportamentale</p>
12	<p>Come si definisce l'algebra di Boole?</p>
13	<p>Cosa vuol dire valutare una espressione algebrica?</p>
14	<p>Se vale l'espressione $z = ab' + ab'c + ab$, come può essere semplificata con l'Algebra di Boole? Utilizzando quali teoremi?</p>
15	<p>Valutare l'espressione $z = ab'cd + ab'c + abd'$, con $(a,b,c,d) = (0,0,1,1)$</p>
16	<div style="display: flex; align-items: flex-start;"> <div style="flex: 1;"> <p>Si faccia l'analisi della rete logica a fianco Si semplifichi l'espressione algebrica corrispondente. Se gli ingressi sono tutti a 0 cosa fornisce l'uscita?</p> </div> <div style="flex: 1; text-align: center;"> </div> </div>
17	<p>Si progetti la r.l. che esegua la conversione di un numero esadecimale ad un numero in codifica BCD, avente per ingresso una cifra esadecimale e per uscita due cifre BCD. Se ne scriva la tabella delle verità.</p>
18	<p>Le due espressioni qui riportate sono equivalenti ? $X \cdot Y + X' \cdot Z + Y \cdot Z$ $X \cdot Y + X' \cdot Z$ Se si' per quale teorema dell'Algebra di Boole ?</p>
19	<p>Una memoria ha l'abilitazione (EN) se vale la seguente espressione (dati gli ingressi RD, X, Y) $EN = (RD \cdot X) + (RD' \cdot Y)$ Dovendo formulare l'enable come attivo basso $EN\#$, si sfrutti il teorema di Demorgan per definire $EN\#$</p>
20	<p>Dati tre ingressi A, B, C, si indichi la proprietà associativa del prodotto e della somma logica</p>